

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-217208  
 (43)Date of publication of application : 10.08.2001

(51)Int.CI. H01L 21/288  
 C25D 7/12  
 H01L 21/768

(21)Application number : 2000-024452 (71)Applicant : FUJITSU LTD  
 (22)Date of filing : 01.02.2000 (72)Inventor : KITADA HIDEKI  
 SHIMIZU NORIYOSHI  
 HOSODA TSUTOMU

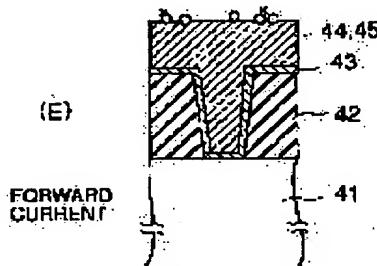
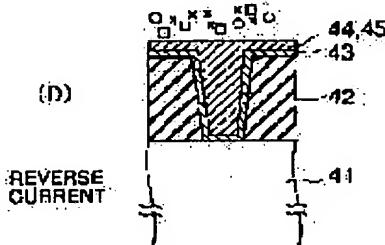
## (54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress a plating layer in fine recessed sections from rising in a method of manufacturing semiconductor device including a step of filling the fine recessed sections with the plating layer, by performing electroplating in an electroplating solution containing a gloss agent and a retarder.

**SOLUTION:** When the fine recessed sections are filled with a plating layer, the polarity of the plating current supplied to the electroplating solution is inverted.

(D)～(E)は、本発明の第1実施例による電解めっき工程を含む半導体装置の製造方法を示す図(その2)



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-217208

(P2001-217208A)

(43)公開日 平成13年8月10日(2001.8.10)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テ-マコ-ト(参考)

H 01 L 21/288

H 01 L 21/288

E 4 K 0 2 4

C 25 D 7/12

C 25 D 7/12

4 M 1 0 4

H 01 L 21/768

H 01 L 21/90

A 5 F 0 3 3

審査請求 未請求 請求項の数 5 O.L (全 11 頁)

(21)出願番号

特願2000-24452(P2000-24452)

(22)出願日

平成12年2月1日(2000.2.1)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 北田 秀樹

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 清水 紀嘉

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74)代理人 100070150

弁理士 伊東 忠彦

最終頁に続く

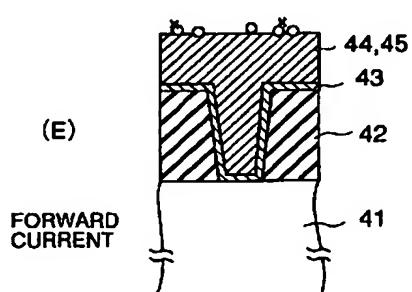
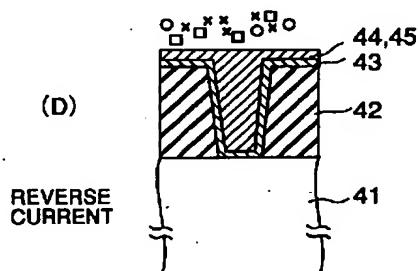
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 光沢剤と抑止剤とを含む電解めっき液中において電解めっきを行うことにより微細な凹部をめっき層により充填する工程を含む半導体装置の製造方法において、前記凹部においてめっき層が盛り上がるのを抑制する。

【解決手段】 前記微細な凹部がめっき層により充填された時点において、電解めっき液中に通電されるめっき電流の極性を反転させる。

(D)～(E)は、本発明の第1実施例による電解めっき工程を含む半導体装置の製造方法を示す図(その2)



## 【特許請求の範囲】

【請求項1】 開口を有する絶縁膜が被膜された基板を、抑制剤と促進剤とを含んだ電解めっき液中に浸漬する工程と、

前記基板を一方の電極として、前記電解めっき液中に一極性の電流を通電する第1の通電工程と、

前記開口が金属めっき層により実質的に充填された時点ないしそれ以降に、前記電流の極性を前記一極性から反転させ、前記電解めっき液中に反対極性の電流を通電する第2の通電工程と、

前記基板を一方の電極として、前記電流の極性を前記反対極性から反転させ、前記電解めっき液中に前記一極性の電流を通電する第3の通電工程とを、順に有することを特徴とする半導体装置の製造方法。

【請求項2】 前記第2の通電工程は、前記電解めっき液中に、前記反対極性の電流を、パルスとして供給することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記第2の通電工程は、前記電解めっき液中に、前記電流を、非対称交流電流として供給することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記第2の通電工程において、複数有する前記開口のうちない容積が最も小さい開口が前記金属めっき層により実質的に充填された時点で、前記電流の極性を反転させる請求項1～3のうち、いずれか一項記載の半導体装置の製造方法。

【請求項5】 基板上に第1の層間絶縁膜と、前記第1の層間絶縁膜上に形成された第2の層間絶縁膜と、前記第2の層間絶縁膜中に形成された配線溝と、前記第1の層間絶縁膜中に前記配線溝に対応して形成されたビアホールと、前記配線溝および前記ビアホールを充填する導体パターンとによる多層配線構造を有する半導体装置の製造方法において、

前記第2の層間絶縁膜および前記第1の層間絶縁膜中に、前記配線溝および前記ビアホールをそれぞれ形成する工程と、

前記配線溝および前記ビアホールの側壁面および底面を覆うように、前記第2の層間絶縁膜上に導電性のめっきシード層を形成する工程と、

前記導電性めっきシード層を形成する工程の後、前記基板を、促進剤と抑制剤とを含むめっき液中に浸漬する工程と、

前記基板を一方の電極として、前記電解めっき液に一極性の電流を通電する第1の通電工程と、

前記配線溝およびビアホールが金属めっき層により実質的に充填された時点、あるいはそれ以降において、前記電流の極性を、前記一極性から反転させる第2の通電工程と、

前記第2の通電工程の後、前記電解めっき液に電流を通電する第3の通電工程と、

前記第2の層間絶縁膜上の金属めっき層を化学機械研磨により除去し、前記配線溝および前記ビアホールを埋めるよう前に導体パターンを形成する工程とを含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は一般に半導体装置に関し、特にCu配線パターンを備えた半導体装置およびその製造方法に関する。

【0002】半導体装置の微細化が進むにつれて、大規模集積回路を構成する半導体基板上に形成される半導体装置の数は莫大なものになりつつある。このような集積密度の高い高速半導体装置では、半導体基板上に形成された半導体装置を相互に接続する配線パターンも非常に複雑なものになっており、またその総延長も非常に長くなっている。これに伴い、今日の先端的な大規模集積回路装置では、配線パターンの寄生抵抗あるいは寄生容量に起因する信号の遅延が無視できなくなっている。このため従来より配線パターンとして使われていたAlあるいはAl合金の代わりに、より低抵抗のCuを使うことが行われている。

【0003】また、このように複雑な配線パターンは、従来のように単一の配線層により形成することは困難で、このため今日の大規模集積回路装置では、一の配線パターンを層間絶縁膜で覆い、かかる層間絶縁膜上に次の配線パターンを形成し、さらにこれを次の層間絶縁膜で覆う構成を繰り返す、いわゆる多層配線構造が使われるようになっている。特にかかる多層配線構造においてCu配線パターンを使う場合には、Cu層のドライエッチング技術が現状では確立されていないため、あらかじめ層間絶縁膜中に配線溝あるいはコンタクトホールを先に形成しておき、これをCu層で埋めた後、層間絶縁膜上に残留しているCu層を化学機械研磨(CMP)法により研磨・除去する、いわゆるダマシン法、あるいはデュアルダマシン法が使われている。

【従来の技術】従来より、かかる層間絶縁膜中に形成された配線溝あるいはコンタクトホールをCu層により埋める際に、Cu層をCVD法あるいはスピッタリフロー法により、あるいは電解めっき法により形成することが行われているが、特に電解めっき法は低い製造費用で効率よく溝をCu層により埋め込むことが可能であるため、半導体装置の量産方法として有力な候補であると考えられる。

【0004】図1は、従来よりCu配線層の形成に使われている電解めっき装置の構成を示す。

【0005】図1を参照するに、めっき液溜11中に保持された、典型的には硫酸銅水溶液よりなるCuのめっき液は、チラー11Aおよびヒータ11Bにより温度制御され、フィルタ11Cを通過した後循環ポンプ11Dにより、めっき浴12に供給される。

【0006】めっき浴12中にはアノード電極12Aがめっき液中に水没した状態で保持されており、まためっき液水面近傍には、基板13を保持する基板ホルダ13Aが、前記基板13が前記めっき液中に水没するように保持されている。前記基板13の表面にはカソード電極12Bが設けられており、この状態で、前記アノード電極12Aと前記カソード電極12Bとの間にパルス発生器14Aにより制御される電源14Bよりパルス電圧を印加することにより、前記基板13の表面にCu層が堆積させられる。

【0007】前記めっき浴12においてあふれためっき液は、再びめっき液溜11に戻される。

【0008】図2(A)～図3(E)は、かかるめっき法によるCu配線層の形成工程を含む、いわゆるダマシン法による多層配線構造の形成工程を示す。

【0009】図2(A)を参照するに、Si基板21上に形成された層間絶縁膜22中には、前記Si基板21を露出するコンタクトホールあるいは配線溝等の凹部22Aが形成され、図2(B)の工程において前記層間絶縁膜22上に前記凹部22Aを覆うように、Ti等となるバリアメタル層23が、典型的にはスペッタリングにより、前記凹部22Aの断面形状に沿って形成される。

【0010】次に、図2(C)の工程において、図2(B)の構造上にCuのシード層24が、典型的にはスペッタリングにより、前記凹部22Aの断面形状に沿って形成され、図3(D)の工程において前記図1のめっき装置中において、前記Cuシード層24上にCuめっき層25が、前記バリアメタル層23およびCuシード層24をカソード電極として成長させられる。

【0011】さらに図3(E)の工程において、前記Cuめっき層25、その下のCuシード層24、さらにその下のバリアメタル層23が、前記層間絶縁膜22上の部分においてCMP法により研磨・除去され、その結果前記凹部22Aを埋めるCu配線パターン25Aが得られる。

【0012】このような電解めっき法によるCu配線パターン25Aの形成工程において、得られるCuめっき層25の厚さを均一化するために、従来より、例えば特開平5-195183号公報に記載されているように、前記アノード電極12Aに印加される電圧を反転、ないし部分的に反転させることが行われていた。

【0013】図4(A)は、図1の電解めっき装置において、前記アノード電極12Aに正の直流電圧を、所定の電流Icが前記めっき浴12において前記めっき液中を前記アノード電極12Aからカソード電極12Bに流れるように印加した場合を示す。これに対し、図4(B)に示すように、前記電流Icを、持続時間がT<sub>ON</sub>の定電流パルスが間隔T<sub>OFF</sub>で繰り返されるように印加することにより、あるいは図4(C)に示すように交互

に繰り返し逆電流パルスを印加することにより、さらには図4(D)に示すように非対称交流電流の形で繰り返し印加することにより、形成されるCuめっき層25の厚さを均一にすることが提案されている。

【0014】しかし、このような従来のCuめっき層25の形成方法では、図5(A)に示すようにコンタクトホールあるいは配線溝の上縁部に電界の集中が生じやすく、このため図5(B)に示すようにかかる電界集中部においてCuめっき層25の成長速度が増大する傾向が生じる。図5(B)を参照するに、かかる電界集中部においては、Cuめっき層25が上方のみならず側方にも成長するため、特に前記凹部22Aの幅あるいは径が0.5μm以下になった場合、前記凹部22Aを重点するCu配線パターン25A中にボイド25Xが形成されやすい。

【0015】このため従来より、このような非常に微細なコンタクトホールあるいは配線溝をCuめっき層により充填する際に、Cuめっき液中に抑止剤(成長抑制剤)と光沢剤(成長促進剤)を導入し、Cuめっき層25の成長を制御することが行われている。抑止剤は、例えばポリエチレンゴリコール(PEG)のような鎖状分子構造を有する高分子化合物であり、カソード表面、すなわち基板表面の分極を増大させ、Cuめっき層の成長を抑制する。抑止剤は微細な配線溝やコンタクトホール等の凹部22A中に進入できないため、層間絶縁膜22表面近傍に滞留し、このような平坦な領域においてCuめっき層25の成長を抑制する。なお、本文で述べる抑止剤とは、分子量がPEG等に比較して小さいメチルアミン系化合物等の平滑剤を含むものとする。これに対し、光沢剤はチオ尿酸ナトリウムのような単純な構造のSを含む化合物であり、核生成を促すと同時に、析出速度を増大させる。かかる光沢剤は前記凹部22A中に容易に進入し、前記凹部22A中におけるCuめっき層25の成長を促進する。SはCuに対して強い親和性を示すことが知られている。

【0016】図6(A)～6(C)は、このような抑止剤と光沢剤を含むCuめっき液を使った、Cuめっき層25の形成工程を示す。

【0017】図6(A)を参照するに、○で模式的に示す抑止剤は層間絶縁膜22の表面近傍に滞留しており、凹部22A中には侵入しない。これに対して×で示す光沢剤の方は前記凹部22Aを含め、層間絶縁膜22上に一様に分布しているため、Cuめっき層25の成長は図6(B)に示すように前記凹部22A中において優先的に生じ、得られた構造では、図6(C)に示すように、前記Cuめっき層25が、前記凹部22Aを、ボイドや欠陥を形成することなく、完全に充填することがわかる。

【発明が解決しようとする課題】一方、本発明の基礎となる研究において、本発明の発明者は、このようにCu

めっき液中に抑止剤と光沢剤とを添加した、いわゆるボトムアップ方式の電解めっき法では、前記凹部22Aのような層間絶縁膜中の微細な凹部中におけるポイドの形成は抑制することができるものの、形成されるCuめっき層25が、前記凹部22Aにおいて成長が促進される結果、図6(C)に示すように盛り上がりてしまい、得られるCuめっき層25の平坦性が失われてしまう問題が生じるのが見出された。このようなCuめっき層25の盛り上がりは、図7(A)に示すように配線パターンあるいはコンタクトホールが密集している領域においては集合して実質的な面積を有する凸部を形成するため、図7(B)に示すようにこのような凸部が平坦化するよう CMP工程を行った場合、配線パターンの密度が低い領域、あるいは配線幅の大きい領域においてディッシングおよびエロージョン量の増大が発生してしまう。そこで、このようなディッシングやエロージョンが発生した配線層上に次の層間絶縁膜を形成し、さらにその上に次の配線層を形成することを繰り返すと、多層配線構造において配線パターンの断線等の問題が発生してしまう。

【0018】そこで、本発明は上記の課題を解決した、新規で有用な半導体装置およびその製造方法を提供することを概括的課題とする。

【0019】本発明のより具体的な課題は、成長抑制剤と成長促進剤とを含んだCuの電解めっき液中において、絶縁膜中に形成された凹部を埋めるようにCuめっき層を形成する工程を含む半導体装置の製造方法において、前記凹部におけるCuめっき層の盛り上がりを抑制することにある。

【課題を解決するための手段】本発明は、上記の課題を、開口を有する絶縁膜が被膜された基板を、抑制剤と促進剤とを含んだ電解めっき液中に浸漬する工程と、前記基板を一方の電極として、前記電解めっき液中に一極性の電流を通電する第1の通電工程と、前記開口が金属めっき層により実質的に充填された時点ないしそれ以後に、前記電流の極性を前記一極性から反転させ、前記電解めっき液中に反対極性の電流を通電する第2の通電工程と、前記基板を一方の電極として、前記電流の極性を前記反対極性から反転させ、前記電解めっき液中に前記一極性の電流を通電する第3の通電工程とを、順に有することを特徴とする半導体装置の製造方法により、あるいは基板上に第1の層間絶縁膜と、前記第1の層間絶縁膜上に形成された第2の層間絶縁膜と、前記第2の層間絶縁膜中に形成された配線溝と、前記第1の層間絶縁膜中に前記配線溝に対応して形成されたピアホールと、前記配線溝および前記ピアホールを充填する導体パターンとなりなる多層配線構造を有する半導体装置の製造方法において、前記第2の層間絶縁膜および前記第1の層間絶縁膜中に、前記配線溝および前記ピアホールをそれぞれ形成する工程と、前記配線溝および前記ピアホールの

側壁面および底面を覆うように、前記第2の層間絶縁膜上に導電性のめっきシード層を形成する工程と、前記導電性めっきシード層を形成する工程の後、前記基板を、促進剤と抑制剤とを含むめっき液中に浸漬する工程と、前記基板を一方の電極として、前記電解めっき液に一極性の電流を通電する第1の通電工程と、前記配線溝およびピアホールが金属めっき層により実質的に充填された時点、あるいはそれ以後において、前記電流の極性を、前記一極性から反転させる第2の通電工程と、前記第2の通電工程の後、前記電解めっき液に電流を通電する第3の通電工程と、前記第2の層間絶縁膜上の金属めっき層を化学機械研磨法により除去し、前記配線溝および前記ピアホールを埋めるように前記導体パターンを形成する工程とを含むことを特徴とする半導体装置の製造方法により、解決する。

【0020】本発明によれば、電解めっき液中に抑制剤を導入することにより、電界集中に起因して凹部辺部において局所的に生じやすい金属めっき層の膜厚の増大を回避することができる。さらに前記電解めっき液中に促進剤を導入することにより、微細な凹部内における金属めっき層の堆積を促進することができる。

【0021】その際本発明では、前記微細な凹部が金属めっき層によりおおよそ充填された時点において、前記電解めっき液中に通電されている電流の極性を、それまでの第1の極性から第2の極性に反転させ、前記凹部を充填する金属めっき層の表面をわずかに溶解させる。これに伴い、前記金属めっき層を構成する金属元素に対して高い親和性を有し、その結果前記微細な凹部に対応する領域において前記金属めっき層表面と結合していた促進剤が、前記金属めっき層の溶解と共にめっき液中に分散する。換言すると、かかる電流の極性反転に伴い、前記促進剤の前記金属めっき層表面における局在化が解消する。その結果、再び前記金属めっき層上に電解めっきを再開した場合、もはや前記凹部に対応する領域における局部的な金属めっき層の厚さの増大は生じることがなく、平坦な金属めっき層が得られる。

【0022】かかる電解めっき液に通電される電流の極性反転は、前記凹部が充填された時点あるいはそれ以後においてインパルス的に行っても、あるいは周期的に行っても、さらには非対称交流電流の形で行ってもかまわない。特に、基板上に複数の凹部が存在する場合、かかる電解めっき電流の極性反転は、径あるいは幅が最小の凹部が金属めっき層により充填された時点において行うのが好ましい。

【発明の実施の形態】【第1実施例】図8(A)～図9(E)は、本発明の第1実施例による半導体装置の製造方法を示す。

【0023】図8(A)を参照するに、MOSトランジスタ等の活性素子およびこれに協働する配線パターン、さらに絶縁膜を含む基板41上には層間絶縁膜42が形

成され、前記層間絶縁膜42中には溝あるいはピアホールを構成する凹部42Aが形成される。典型的な例では、前記凹部42Aは幅が0.2から0.5μm程度で深さが500nm程度のラインアンドスペースパターンを形成する。さらに、前記層間絶縁膜42上には、前記凹部42Aを覆うようにTaN拡散障壁層43がスパッタリングにより形成されており、さらに前記TaN層43上にはCuのシード層44がスパッタリングあるいはCVD法により、例えば300nm程度の厚さに形成される。

【0024】図8(A)の状態では、このように形成された基板が、PEG等の抑止剤およびチオ尿酸ナトリウムのようなSを含む光沢剤を添加されたCuめっき液中に浸漬される。その際、抑止剤は分子サイズが大きいため微細な凹部42A中には進入できず層間絶縁膜42の平坦な表面に対応した、Cuシード層44の平坦な表面を覆うのに対し、光沢剤は凹部42A中に進入する。

【0025】この状態で前記Cu電解液中に、前記基板41をカソードとして、換言すると前記Cuシード層44をカソードとして通電すると、Cuと光沢剤中のSとの間の親和性により、図8(B)に示すように前記凹部42A中においてCuめっき層45の成長が選択的に生じる。一方、前記Cuシード層44の平坦な表面部分上においてはCuめっき層45の成長は、供給されたCu量の分(電荷分)だけ成長する。

【0026】その結果、図8(C)に示すように、前記凹部42AがCuめっき層45により実質的に完全に充填され、しかも前記Cuめっき層45の表面が平坦になった状態が出現する。しかし、この状態においても、前記光沢剤はCuとの強い親和性の結果、前記Cuめっき層45のうち、前記凹部42Aに対応する部分に局在しており、この状態で電解めっきを継続すると、先に従来技術で説明したのと同様なCuめっき層45の盛り上がりの問題が生じてしまう。

【0027】そこで、本実施例では図8(C)の状態が出現した時点で、図9(D)に示すように前記電解液中に通電される電流の極性を反転させ、前記Cuめっき層45の表面部分をわずかに液中に溶解させる。この工程により、前記Cuめっき層45上に前記凹部42Aに対応して局在化していた光沢剤は、結合していたCu原子と共に、Cuイオンの形で電解液中に分散し、光沢剤の局在化が解消される。

【0028】このように、図9(D)の工程において前記極性の反転がなされた後、図9(E)の工程において前記電解液中に当初の極性で電流を通電することにより、平坦なCuめっき層45が、一様に成長する。

【0029】図10(A)～(C)は、図9(D)の工程において実行されるめっき電流の極性反転の例を示す。

【0030】図10(A)～(C)を参照するに、図1

O(A)は、単一の極性反転パルスの形で極性反転を行った場合を、図10(B)は、パルス極性反転を繰り返し行った場合を、さらに図10(C)は、前記極性反転の際にめっき電流を非対称交流の形で供給した場合を示す。

【0031】図11は、開口部幅がaおよび2aの凹部をCuめっき層で充填する際に、図9(D)のタイミングにおいて様々な極性反転モードを使った場合の、実測された盛り上がり高さを任意単位で示す図である。ただし図11中、aと示してあるのは、開口部幅がaの凹部を充填した場合を、また2aと示してあるのは、開口部幅が2aの凹部を充填した場合を示す。

【0032】図11を参照するに、「標準条件」と表記した、めっき電流の極性反転を一切行わない従来の場合には、凹部に対応して前記層45に対応するCuめっき層の実質的な盛り上がりが生じているのがわかる。このうち、開口部幅がaの場合の方が、2aの場合よりも盛り上がりの程度は大きくなっているのがわかる。これに対し、「条件1」と表記した、図9(D)のタイミングにおいて極性の反転は行わず、めっき液中に添加される光沢剤と抑止剤の濃度を変化させた場合には、「標準条件」と実質的に同程度の盛り上がりが、Cuめっき層において生じているのがわかる。

【0033】一方、図9(D)のタイミングにおいて、先の図10(A)に示すような単一の極性反転パルスを1秒間与えた場合(「パルス条件1」)、盛り上がりの程度は多少減少しているのがわかる。一方、この極性反転パルスの長さを5秒間とした場合には(「パルス条件2」)、盛り上がりの程度は標準条件と同程度になってしまう。これに対し、図10(B)に示すような極性反転パルスを繰り返し与えた場合には、図11中に「パルス条件3」あるいは「パルス条件4」で示すように、Cuめっき層の盛り上がりは実質的に減少し、特に開口部幅が2aの場合には、実質的にゼロになる。ただし、「パルス条件3」においては、持続時間がいずれも1秒間の順極性のパルスと逆極性のパルスを、交互に繰り返し、20秒間にわたり供給する。これに対し、「パルス条件4」においては、持続時間がいずれも0.5秒間の順極性のパルスと逆極性のパルスを、交互に繰り返し、20秒間にわたり供給する。

【0034】図11の結果は、特に図9(D)のタイミングにおいて、図10(B)に示すような極性反転パルスを繰り返し印加するのが、Cuめっき層の盛り上がりを抑制するのに特に有効であることを示している。ただし、この現象のメカニズムは、現在のところ解明されていない。

【0035】本発明においては、図9(D)のタイミングの検出は、時間計測により行う。

【0036】図12(A), (B)は、様々なサイズの凹部をCuめっき層により充填する際の、充填の深さと

時間の関係を示す。

【0037】図12(A)を参照するに、縦軸は図12(B)に定義する、Cuめっき層により部分的に充填された凹部の、層間絶縁膜表面から測った深さ("Bottom Thickness")を、また横軸は図12(B)に定義する、平坦な層間絶縁膜上で測ったCuめっき層の厚さ("Actual plate thickness")を表すが、前記平坦な層間絶縁膜上で測ったCuめっき層の厚さは、時間に対応する。図12(A)において、縦軸がゼロの位置が、前記凹部が完全に充填された状態に対応している。

【0038】図12(A)に示すように、縦軸に示す充填の深さは、○、◆、×で示すように充填される凹部のサイズに対応する固有の特性曲線により規定されるため、かかる特性曲線に基づいて、図9(D)のタイミングをめっき開始時点からの時間により決定することが可能である。

【0039】なお、先に図7(A), (B)に示したような基板上に大きさの異なる複数の凹部ないし開口部が存在する場合には、前記めっき電流の極性を反転させるタイミングを、盛り上がりがもっと顕著に現れる最小寸法の凹部が完全に充填されるタイミングにおおよそ一致するように選ぶのが好ましい。

【第2実施例】図13(A)～図14(E)は、本発明をデュアルダマシン法による多層配線構造の形成に適用した、本発明の第2実施例による半導体装置の製造方法を示す。

【0040】図13(A)を参照するに、基板61上には、Cu配線パターン62Aを保持する第1層目のSiO<sub>2</sub>層間絶縁膜62が約1μmの厚さに形成されており、前記層間絶縁膜62は、厚さが約500nmのSiNエッチングトップ膜63を介して、約1μmの厚さの第2層目のSiO<sub>2</sub>層間絶縁膜64により覆われている。さらに、前記第2層目のSiO<sub>2</sub>層間絶縁膜64は、同じく約500nmの厚さを有する別のSiNエッチングトップ膜65を介して、厚さが約1μmの第3層目のSiO<sub>2</sub>層間絶縁膜66により覆われている。また、前記第2層目のSiO<sub>2</sub>層間絶縁膜64中には、前記層間絶縁膜62中に埋め込まれたCu配線パターン62Aを露出する、径が0.5μm以下、典型的には約0.25μmのピアホール64Aが、前記SiNエッチングトップ膜65を貫通して形成されており、さらに前記第3層目のSiO<sub>2</sub>層間絶縁膜66には、前記ピアホール64Aに対応して、幅が0.2～10μm程度の配線溝66Aが、レジストパターン67を使ったレジストプロセスにより形成されている。

【0041】前記レジストパターン67を除去した後、図13(B)の工程において図13(A)の構造上に前記配線溝66Aおよびピアホール64Aの底面および側壁面を覆うように、TaN障壁層68がスパッタリングにより形成され、さらに前記障壁層68上にはCuめっきシード層69が、同じくスパッタリングにより形成される。

【0042】次に図13(C)の工程において、前記図13(B)の構造を、抑制剤と光沢剤とを添加したCuめっき液中に浸漬し、前記めっきシード層69をカソードとして使い、前記Cuめっき液中にめっき電流を通電することにより、前記ピアホール64AをCuめっき層70により充填する。その際、前記ピアホール64Aが前記Cuめっき層70により充填された時点において、前記めっき電流の極性を、好ましくは図10(B)で説明したように逆極性パルスを繰り返し供給することにより、反転させる。その結果、前記ピアホール64Aに対応した光沢剤の局在化が解消し、再び前記めっきシード層69をカソードとした電解めっきを継続することにより、前記Cuめっき層70が前記配線溝66Aを充填するように形成される。その際、前記配線溝66Aが微細で幅が典型的には0.5μm以下である場合には、前記配線溝66Aが充填された時点あるいはそれ以後において再び逆極性の電流パルスを供給するようとしてもよい。その結果、図13(C)に示すように、前記Cuめっき層70が前記配線溝66Aを充填し、しかも前記配線溝66Aに対応した盛り上がりのない構造が得られる。

【0043】さらに前記Cuめっき層70の成長を継続することにより、図14(D)に示す構造が得られ、さらに前記層間絶縁膜66表面のCuめっき層70およびバリアメタル層68を化学機械研磨により除去することにより、図14(E)に示す、前記Cuめっき層70よりなる配線パターン70Aを備えた所望の多層配線構造が得られる。

【0044】以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において、様々な変形・変更が可能である。

【0045】要約すると、本発明の特徴は以下のとおりとなる。

【0046】(1) 開口を有する絶縁膜が被膜された基板を、抑制剤と促進剤とを含んだ電解めっき液中に浸漬する工程と、前記基板を一方の電極として、前記電解めっき液中に一極性の電流を通電する第1の通電工程と、前記開口が金属めっき層により実質的に充填された時点ないしそれ以降に、前記電流の極性を前記一極性から反転させ、前記電解めっき液中に反対極性の電流を通電する第2の通電工程と、前記基板を一方の電極として、前記電流の極性を前記反対極性から反転させ、前記電解めっき液中に前記一極性の電流を通電する第3の通電工程とを、順に有することを特徴とする半導体装置の製造方法。

(2) 前記第2の通電工程は、前記電解めっき液中に、前記反対極性の電流を、パルスとして供給すること

を特徴とする(1)記載の半導体装置の製造方法。

(3) 前記第2の通電工程は、前記電解めっき液中に、前記反対極性の電流を、パルス状に繰り返し、周期的に供給することを特徴とする(1)記載の半導体装置の製造方法。

(4) 前記第2の通電工程は、前記電解めっき液中に、前記電流を、非対称交流電流として供給することを特徴とする(1)記載の半導体装置の製造方法。

(5) 前記第2の通電工程において、複数有する前記開口のうちない容積が最も小さい開口が前記金属めっき層により実質的に充填された時点で、前記電流の極性を反転させる(1)～(4)のうち、いずれか一項記載の半導体装置の製造方法。

(6) 基板上に第1の層間絶縁膜と、前記第1の層間絶縁膜上に形成された第2の層間絶縁膜と、前記第2の層間絶縁膜中に形成された配線溝と、前記第1の層間絶縁膜中に前記配線溝に対応して形成されたピアホールと、前記配線溝および前記ピアホールを充填する導体パターンとよりなる多層配線構造を有する半導体装置の製造方法において、前記第2の層間絶縁膜および前記第1の層間絶縁膜中に、前記配線溝および前記ピアホールをそれぞれ形成する工程と、前記配線溝および前記ピアホールの側壁面および底面を覆うように、前記第2の層間絶縁膜上に導電性のめっきシード層を形成する工程と、前記導電性めっきシード層を形成する工程の後、前記基板を、促進剤と抑制剤とを含むめっき液中に浸漬する工程と、前記基板を一方の電極として、前記電解めっき液に一極性の電流を通電する第1の通電工程と、前記配線溝およびピアホールが金属めっき層により実質的に充填された時点、あるいはそれ以後において、前記電流の極性を、前記一極性から反転させる第2の通電工程と、前記第2の通電工程の後、前記電解めっき液に電流を通電する第3の通電工程と、前記第2の層間絶縁膜上の金属めっき層を化学機械研磨法により除去し、前記配線溝および前記ピアホールを埋めるように前記導体パターンを形成する工程とを含むことを特徴とする半導体装置の製造方法。

#### 【0047】

【発明の効果】本発明によれば、絶縁膜中に形成された凹部を光沢剤と抑制剤とを添加した電解めっきにより、導電材料により充填する際に、前記凹部が充填された時点でめっき液中に通電される電流の極性を反転させることにより、形成された前記導電材料よりなる電解めっき層のうち前記凹部に対応する領域上における光沢剤の局在化が解消し、その結果、電解めっきをさらに継続した場合に従来生じていた、かかる凹部に対応した領域における電解めっき層の盛り上がりの問題が解消される。本発明では得られる構造が平坦であり、多層配線構造の形成に好適である。

#### 【図面の簡単な説明】

【図1】従来の電解めっき装置の構成を示す図である。

【図2】(A)～(C)は、電解めっき法を使った従来の多層配線構造の形成方法を示す図(その1)である。

【図3】(D)～(E)は、電解めっき法を使った従来の多層配線構造の形成方法を示す図(その2)である。

【図4】(A)～(D)は、従来の電解めっきで使われている様々な通電モードを示す図である。

【図5】(A), (B)は、従来の電解めっきで生じる問題点を説明する図である。

10 【図6】(A), (B)は、前記図5の問題点を解決するために提案されている別の従来の電解めっき法を説明する図である。

【図7】(A), (B)は、図6の方法において生じる問題点を説明する図である。

【図8】(A)～(C)は、本発明の第1実施例による電解めっき工程を含む半導体装置の製造方法を示す図(その1)である。

【図9】(D)～(E)は、本発明の第1実施例による電解めっき工程を含む半導体装置の製造方法を示す図(その2)である。

20 【図10】(A)～(C)は、本発明の第1実施例で使われる電解めっき電流の例を示す図である。

【図11】本発明の第1実施例による電解めっき層の盛り上がり抑制効果を示す図である。

【図12】(A), (B)は、時間計測に基づく電解めっき電流の極性反転タイミングを決定する原理を示す図である。

30 【図13】(A)～(C)は、本発明の第2実施例による、多層配線構造を有する半導体装置の製造方法を示す図(その1)である。

【図14】(E)～(F)は、本発明の第2実施例による、多層配線構造を有する半導体装置の製造方法を示す図(その2)である。

#### 【符号の説明】

1 1 めっき液溜

1 1 A チラー

1 1 B ヒータ

1 1 C フィルタ

1 1 D 循環ポンプ

1 2 めっき浴

1 2 A アノード電極

1 2 B カソード電極

1 3 基板

1 3 A 基板ホルダ

1 4 A パルス発生器

1 4 B 電源

2 1, 4 1, 6 1 基板

2 2, 4 2, 6 2, 6 4, 6 6 層間絶縁膜

2 2 A, 4 2 A, 6 4 A ピアホール

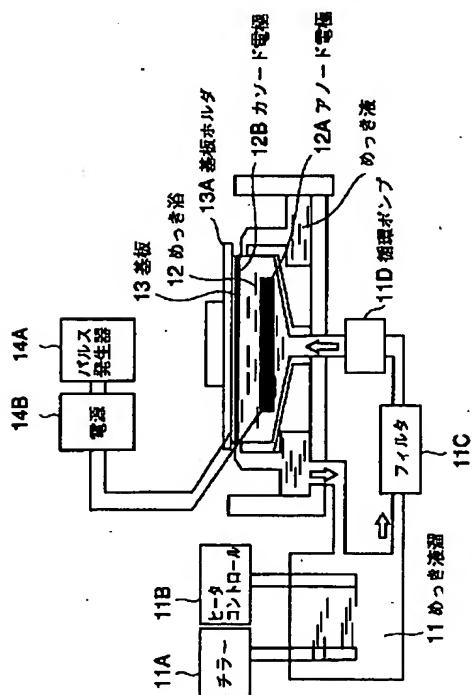
50 2 3, 4 3, 6 8 バリアメタル層

13

24, 44, 69 Cuシード層  
 25, 45, 70 Cuめっき層  
 25A, 62A, 70A Cu配線パターン  
 25X ポイド

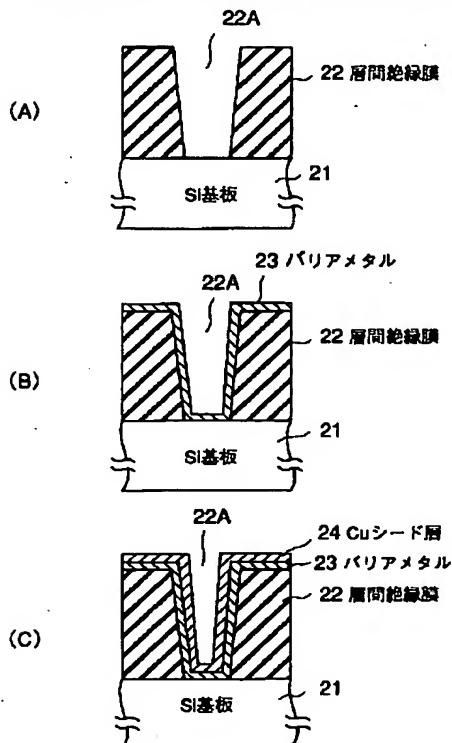
【図1】

従来の電解めっき装置の構成を示す図



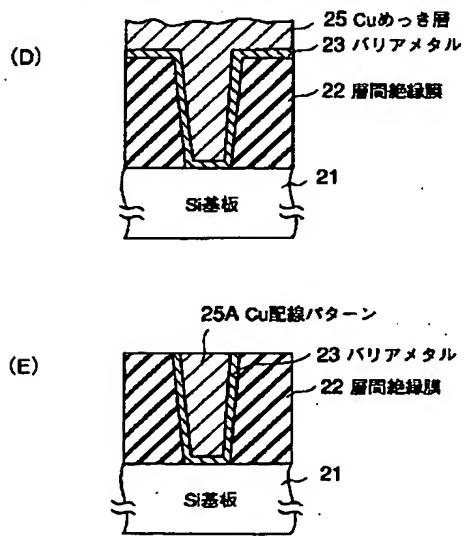
【図2】

(A)～(C)は、電解めっき法を使った従来の多層配線構造の形成方法を示す図(その1)



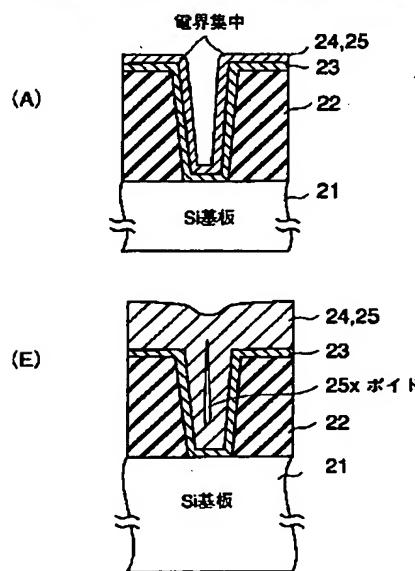
【図3】

(D)～(E)は、電解めっき法を使った従来の多層配線構造の形成方法を示す図(その2)



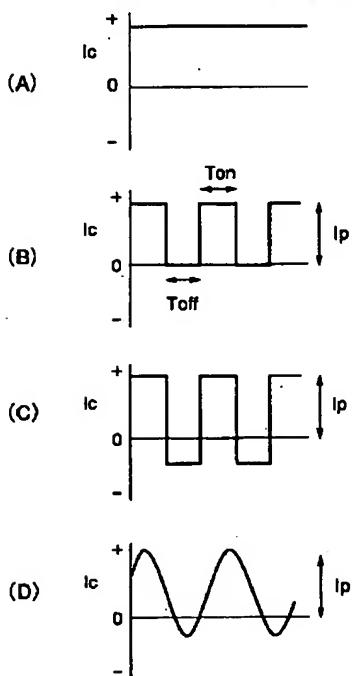
【図5】

(A), (B)は、従来の電解めっきで生じる問題点を説明する図



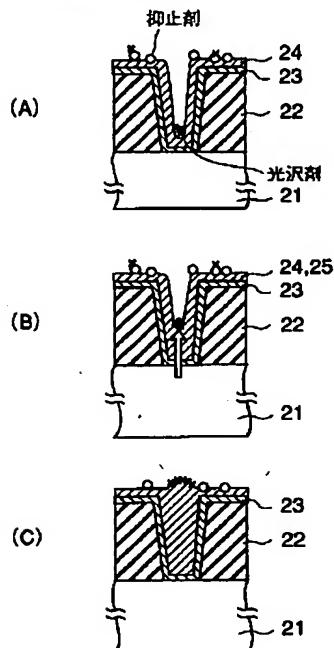
[图4]

(A)～(D)は、従来の電解めっきで使われている様々な通電モード方法を示す図(その2)



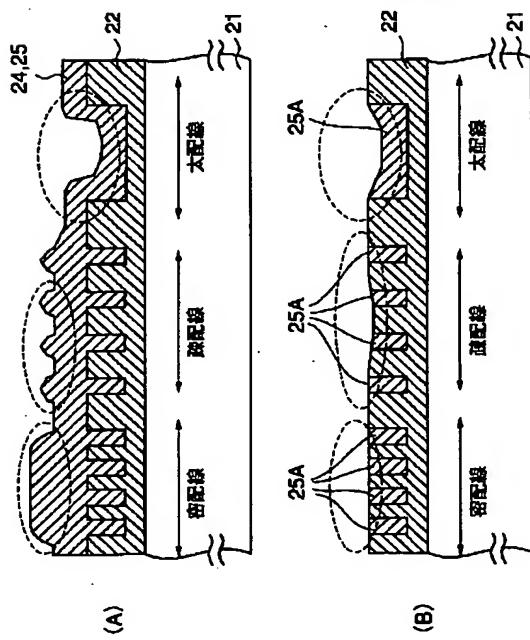
[図 6 ]

(A), (B)は、前記図5の問題点を解決するために提案されている別の従来の電解めっき法を説明する図



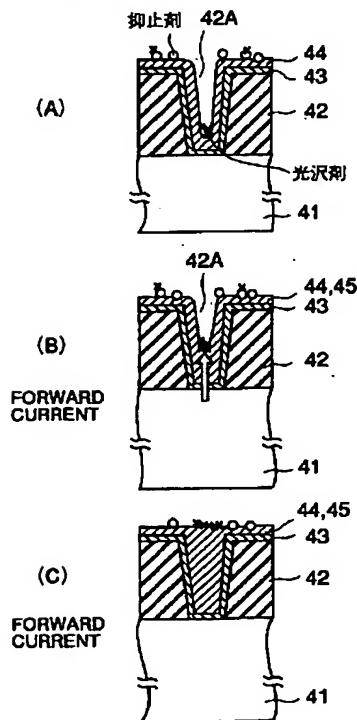
【图7】

(A), (B) は、図6の方法において生じる問題点を説明する図



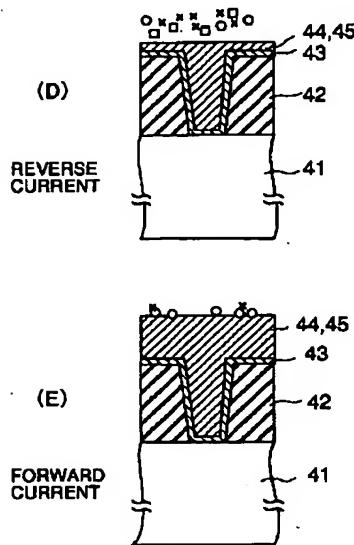
[ 四 8 ]

(A)～(C)は、本発明の第1実施例による電解めっき工程を含む半導体装置の製造方法を示す図(その1)



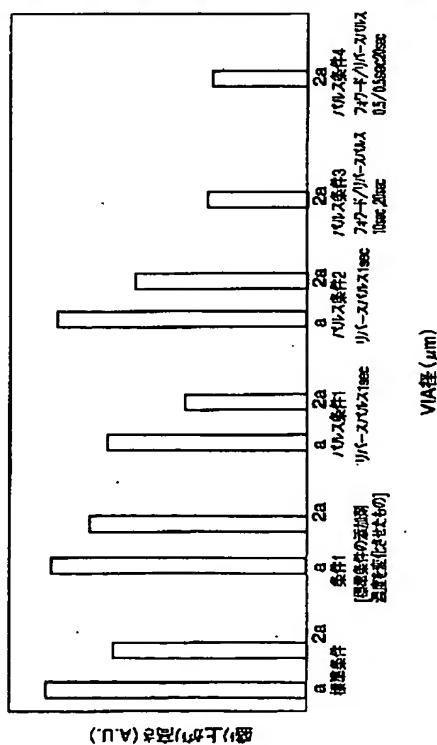
[图 9]

(D)～(E)は、本発明の第1実施例による電解めっき工程を含む半導体装置の製造方法を示す図(その2)



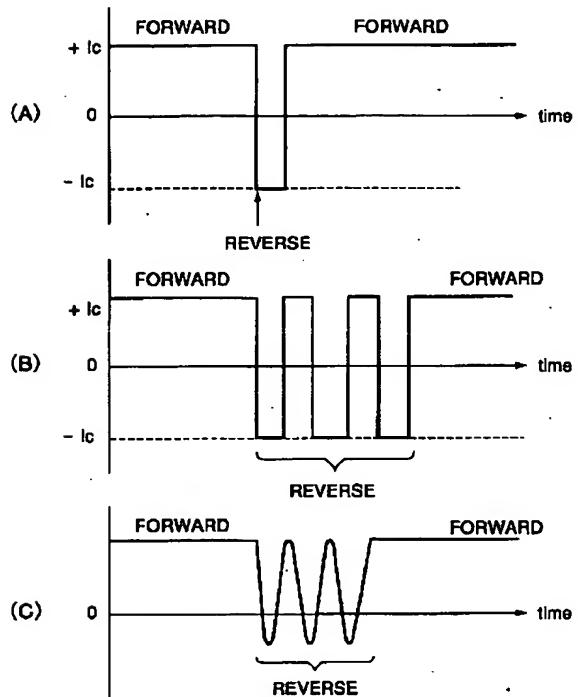
### 【图 11】

本発明の第1実施例による電解めっき層の盛り上がり抑制効果を示す図



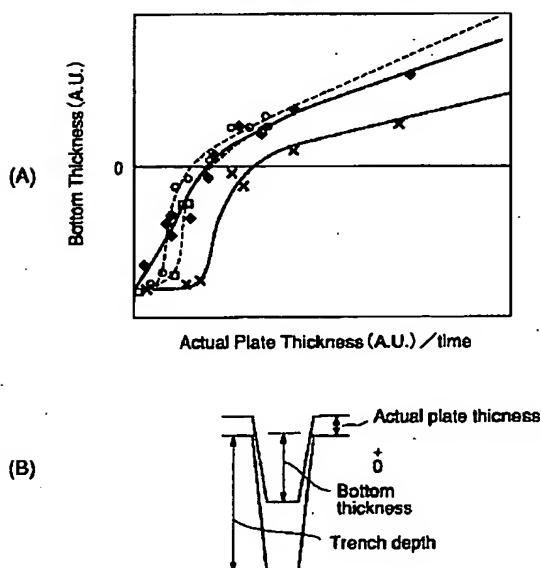
[図10]

(A)～(C)は、本発明の第1実施例で使われている電解めっき電流の例を示す図



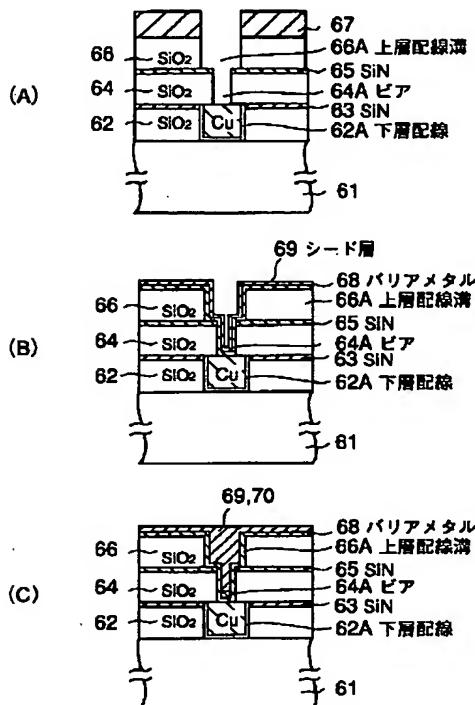
[図12]

(A), (B)は、時間計測に基づく電流の極性反転タイミングを決定する原理を示す図



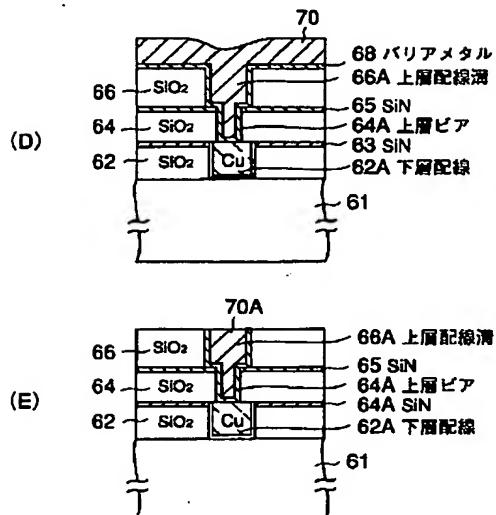
【図13】

(A)～(C)は、本発明の第2実施例による、多層配線構造を有する半導体装置の製造方法を示す図(その1)



【図14】

(D), (E)は、本発明の第2実施例による、多層配線構造を有する半導体装置の製造方法を示す図(その2)



フロントページの続き

(72) 発明者 細田 勉

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

F ターム(参考) 4K024 AB03 AB15 BB12 BC10 CA02  
CA07 CA08 CB05 CB13 CB21  
DB07 GA16  
4M104 BB04 BB32 DD52 FF18 FF22  
HH20  
5F033 HH11 HH32 JJ01 JJ11 JJ32  
KK11 MM02 MM12 MM13 NN06  
NN07 PP06 PP15 PP27 PP33  
QQ09 QQ10 QQ25 QQ37 RR04  
RR06 TT02 XX00